

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-295324

(43)公開日 平成6年(1994)10月21日

(51)Int.Cl.⁵

G 0 6 F 15/60
11/26

識別記号

3 6 0 D 7623-5L
3 1 0 7737-5B

庁内整理番号

F I

技術表示箇所

審査請求 有 請求項の数 1 F D (全 7 頁)

(21)出願番号 特願平5-105017

(22)出願日 平成5年(1993)4月7日

(71)出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72)発明者 長谷川 拓己

東京都港区芝五丁目7番1号 日本電気株
式会社内

(74)代理人 弁理士 ▲柳▼川 信

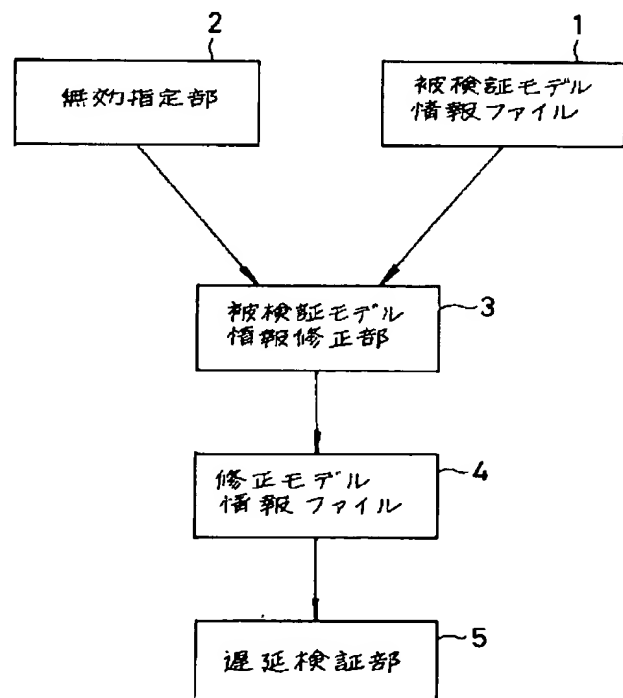
(54)【発明の名称】 論理回路の遅延時間検証装置

(57)【要約】

【目的】 論理回路の遅延検証をグラフ理論に従って行う際に、常に正確な結果が得られるようにする。

【構成】 信号の立上り及び立下りの一つのみが有効となるような信号箇所について、その箇所と立上りまたは立下りのいずれが無効となるかを無効指定部2により予め指定する。被検証モデル情報修正部3はこの無効指定に従って、被検証モデル情報ファイル1内の情報を修正し、遅延検証部5はこの修正後の情報に沿って遅延検証を行う。

【効果】 無効指定された信号箇所とその立上りまたは立下りについては、無視するので、正しい検証結果が得られる。



Best Available Copy

【特許請求の範囲】

【請求項1】 遅延時間が検証されるべき論理回路の各外部端子及び各回路素子の端子をノードとし、各ノード間の信号の流れをその方向として有するアークとし、更にこれ等各アークの重みとして各々が有する遅延時間を与え、この遅延時間は前記アーク対応に始点ノード及び終端ノードの立上り／立下り種別毎に与えられた遅延時間検証用情報を予め格納した格納手段と、前記アークのうち、信号が立上り及び対下りの一つのみが有効となるようなアークに関して、そのアークと無効となる立上りまたは立下りを指定する無効指定手段と、この無効指定手段による指定情報に基づき前記格納手段の遅延時間検証用情報の対応情報を修正する修正手段と、この修正後の遅延時間検証用情報に基いて前記論理回路の遅延時間の検証を行う遅延時間検証手段とを含むことを特徴とする論理回路の遅延時間検証装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は論理回路の遅延時間検証装置に関し、特に論理回路をグラフ理論に従って表現し、このグラフ理論により表わされた遅延時間検証用の情報を用いて論理回路の遅延検証を行う遅延時間検証方式に関するものである。

【0002】

【従来の技術】従来のこの種の遅延時間検証方式について、図2に示す簡単な論理回路モデルが図3の信号波形例にて動作する場合を説明する。

【0003】図2において、素子23は入力端子21からの信号を入力とし、この入力信号と同一の信号を1ns後に経路25へ出力する。素子24はOR（論理和）回路素子であり、経路25の信号と入力端子21の信号とを2入力とし両者の論理和を出力端子22へ遅延時間0（ns）で出力する。他の部分の遅延時間は0であるものとする。

【0004】図3に示す様に、入力端子21の信号は時刻0nsで立上り、時刻2nsで立下る。経路25の信号は入力端子2の信号と同じ信号が1ns遅れて現れる。すなわち、経路25の信号は時刻1nsで立上り、時刻3nsで立下る。また、出力端子22の信号は経路25の信号と入力端子21の信号との論理和であるので、時刻0nsで立上り、時刻3nsで立下る。

【0005】この様な論理回路モデルの遅延時間検証を行う場合の1つの方法として、前述した如くグラフ理論を用いて行う方法がある。

【0006】尚、このグラフ理論の詳細については、近代科学者発行の「グラフ理論入門」、R. J. ウィルソン著、斎藤伸自、西関隆夫共訳や、コロナ社発行の「演習グラフ理論（基礎と応用）」、伊理正夫、白川功他共著等の公知文献に詳述されているので、ここでは特に説明しない。

【0007】このグラフ理論に従って図2の回路モデルをグラフ化すると、図4の如く表記される。すなわち、外部端子及び各素子の端子をノードp～vとし、各ノード間の信号の流れをその方向として有するアークa～gとする有効グラフとする。また、各アークa～gの重みとして、各アークの遅延時間が与えられる。この遅延時間は各アークの始点ノード及び終点ノードの立上り

(R)または立下り(F)の種別(R/F種別と称す)毎に与えられるもので、該当する遅延時間が存在しない場合には、その場合の重みは未定義×とされる。

【0008】図2の回路モデルの有効グラフである図4においては、アークaは入力端子21と素子23の入力端子との間の信号経路、アークbは素子23の内部信号経路、アークcは信号経路25、アークdは素子24の内部信号経路、アークeは素子24との出力端子と出力端子22との間の信号経路、アークfは入力端子21と素子24の入力端子との間の信号経路、アークgは素子24の内部信号経路に夫々対応している。

【0009】そして、アークaの始点ノードはp、終点ノードはq、アークbの始点ノードはq、終点ノードはr、アークcの始点ノードはr、終点ノードはs、……として示されている。

【0010】更に、各アークの重みについては、始点ノード及び終点ノードのR/F種別毎に与えられる遅延時間であり、図3の動作波形例では、図5の如き重みが各アークに夫々付与されることになる。尚、図5では、0、1は遅延時間(ns)であり、×は未定義である。

【0011】一般に、あるアークの始点ノードと終点ノード（単に、始点、終点と称す）の信号の立上り(R)と立下り(F)との組合せは、図5に示す如く、始点がR、終点もR(R/R)の場合と、始点がR、終点がF(R/F)の場合と、始点がF、終点がR(F/R)の場合と、始点がF、終点もF(F/F)の場合の4通りの組合せが存在する。

【0012】図2、3の例では、各アークのR/F、F/R2種の組合せ（インバート機能の場合が考えられる）については考える必要がないので、未定義×となっており、他の2種R/R、F/Fの組合せが、図3の例に従って夫々重みとして遅延時間が付与されているのである。

【0013】実際の遅延検証時には、図4、5に示す情報が被検証モデル情報ファイルに予め格納されており、a→b→c→d→eの第1のパスと、f→g→eの第2のパスとの各々について、図5の各アークの始点及び終点のR/F種別毎に全て重みが求められ、この求められた重みの和が各パスの遅延時間として得られるようになっている。

【0014】この図5に示した様に被検証モデル情報を用いて遅延時間の検証をなす詳細な動作については、図8～10を参照して後に（本発明の実施例の項で）述べ

る。

【0015】

【発明が解決しようとする課題】図2に示した回路モデルの入力端子21から出力端子22までの遅延時間は、図3の波形例からも明らかな如く、立上り(R)の場合0ns(図2の下側のパスを通る経路(f→g)の遅延時間)であり、立下り(F)の場合1ns(図2の上側のパスを通る経路(a→b→c→d→e)の遅延時間)であるべきである。

【0016】これは、素子24が0R素子であるために、図2の上側の経路を通った遅延時間が意味を持たないこと、すなわち、経路25(アークc)における立上り(R)信号が遅延時間算出上意味を持たない(無効)ことによる。

【0017】しかしながら、従来の検証方式では、このアークcにおける立上り(R)信号が遅延時間算出上意味を持たない(無効)という情報を何等有さず、有効として処理している(図5では、アークcのR/Rにおいて0nsの重みが付与されている)ために、図2の上側の経路を通った信号の遅延時間が意味を持つ(有効)と判断し、その経路の遅延時間が立上り及び立下り共に1nsと算出されてしまい、実際と異なった検証結果が得られるという欠点がある。

【0018】本発明の目的は、正しい遅延時間を得ることが可能な論理回路の遅延時間検証装置を提供することである。

【0019】

【課題を解決するための手段】本発明による論理回路の遅延時間検証装置は、遅延時間が検証されるべき論理回路の各外部端子及び各回路素子の端子をノードとし、各ノード間の信号の流れをその方向として有するアークとし、更にこれ等各アークの重みとして各々が有する遅延時間を与え、この遅延時間は前記アーク対応に始点ノード及び終端ノードの立上り/立下り種別毎に与えられた遅延時間検証用情報を予め格納した格納手段と、前記アークのうち、信号が立上り及び対下りの一つのみが有効となるようなアークに関して、そのアークと無効となる立上りまたは立下りを指定する無効指定手段と、この無効指定手段による指定情報に基づき前記格納手段の遅延時間検証用情報の対応情報を修正する修正手段と、この修正後の遅延時間検証用情報に基いて前記論理回路の遅延時間の検証を行う遅延時間検証手段とを含むことを特徴とする。

【0020】

【実施例】図1は本発明による遅延時間検証装置の機能ブロック図である。被検証モデル情報ファイル1は遅延時間検証用情報を予め格納するものであり、図2、3のモデルでは、図4、5に示す情報が予め格納されている。

【0021】すなわち、遅延時間が検証されるべき論理

回路の各外部端子及び各回路素子の端子をノードとし、各ノード間の信号の流れをその方向として有するアークと、更にこれ等各アークの重みとして各々が有する遅延時間を与え、この遅延時間はアーク対応に始点と終点のR/F種別毎に与えられる。

【0022】無効指定部2は、これ等アークのうち信号が立上り及び立下りの一つのみが有効となる様なアークに関して、そのアークと無効となる立上り(R)または立下り(F)を指定するものである。図2、3の例では、経路25(アークcに相当)の信号の立上り(R)を無効とする必要があるので、図6に示す如く、アークc、立上りRが指定される。

【0023】被検証モデル情報修正部3は無効指定部2にて指定された無効となるべきアーク及び信号立上りまたは立下りに従って、被検証モデル情報ファイル1内の情報を修正する。すなわち、図6の無効指定に従って、図5の情報を図7の情報に変更するのである。

【0024】本例では、アークcの始点/終点のR/R(始点r、終点s共に立上り)の部分の重みが、0であったものを未定義(無効)×に修正される。この修正後の情報が修正モデル情報ファイル4へ一時格納されることになる。

【0025】遅延検証部5はこの修正後の情報に従って遅延検証を実際に行うものであり、従来の遅延検証動作と同一の手順により行われる。その動作フローが図8に示されている。

【0026】被検証モデルの信号パスは複数存在するので一般的であるので、各パス毎に遅延時間を算出し、最終的にこれ等算出された遅延時間から、同一の始点及び終点を持つパスを一つにまとめて最終的に遅延時間を算出するようにしている。

【0027】そこで、先ず、縦形探索(深さ優先探索: Depth First Search, DFS)法により深さ方向のパスを求める(ステップ81)。このDFSの詳細は前述の文献に開示されている。このうちの1つのパスを第1のパスとして選択し(ステップ82)、当該パスの全ノードのR/F種別を、例えばオールRにセットする(ステップ84)。

【0028】図4の例では、第1のパスをa→b→c→d→eとすると、そのパスの各ノードはp、q、r、s、t、uであり、これ等全てが信号立上りRにセットされるものとする。そして、全ノードのR/F種別の現在の組合せ、すなわち上記例では、オールRにおける全アークa～eの重み(遅延時間)を夫々求める(ステップ86)。

【0029】この重みは図7の修正後の情報を基に求められるものであり、その結果が図9の最上行に示されている。例えば、アークaの重みについてみると、始点はp、終点はqであり、現在のそれらのR/F種別は全てRであるから、図7のアークaの始点/終点のR/Rを

10

20

30

40

50

参照すると、重み0であることが検索される。

【0030】同様に、アークbの重みについてみると、始点q、終点rのR/F種別には全てRであり、よって図7のアークbのR/Rを参照すると、重み1であることが検索される。また同じく、アークcの重みについてみると、始点r、終点sのR/F種別は全てRであり、よって図7のアークcのR/Rを参照すると、無効×に修正されていることが判る。

【0031】この様にして、全ノードのR/F種別がオールRの場合は、図9の最上行に示された各アーク重みが得られ、重みの合計が算出される（ステップ87）。しかし、この場合、重みに1つでも無効×があれば、合計も無効×とされる。

【0032】次に、ノードの1つのR/F種別をFとして、2つ目のR/F種別の組合せとする（ステップ88）。すなわち、図9の2行目に示されている如く、各ノードのR/F種別をオールR（R, R, R, R, R, R）から（F, R, R, R, R, R）の組合せとするのである。

【0033】このR/F種別の組合せでステップ86、87を実行し、各アークの重みの和を求め、再びステップ88で、他のノードのR/F種別をFとして3つ目のR/F種別の組合せとする。すなわち、図9の3行目に示される如く、各ノードのR/F種別を（R, F, R, R, R, R）の組合せとする。このR/F種別の組合せでステップ86、87を実行する。

【0034】このパスにはノードが6個存在するので、全ノードのR/F種別の組合せは 2^6 あり、よってこの 2^6 のR/F種別の組合せで、ステップ86、87を実行する。最後の 2^6 の組合せであるオールF（F, F, F, F, F, F）の場合の各アークの重みが図9の最下行に示されている。

【0035】全ノードのR/F種別の全ての組合せ（ 2^6 の全て）が終了すると（ステップ85）、次の第2のパスが選択される（ステップ89）。この第2のパスについても、上述の第1のパスと同様にステップ84、86、87、88が順次繰返し実行される。

【0036】この第2のパスについての実行結果が図10に示されており、図10では、無効×を含む場合の結果は全て省略して示されている。

【0037】全てのパスについて上記動作が終了すると（ステップ83）、最後に、同一始点、終端ノードを持つ複数パスについて、最大遅延時間を持つ1つのパスにまとめる（ステップ90）。

【0038】図9、10の例では、両パスが1つにまと

められるパスである。この場合、第1のパスの入力端子21の信号の立上り（R）の際の遅延時間は、図9の最上行から判るように、無効×であり、入力端子21の信号の立上り（F）の遅延時間は、図9の最下行から判るように、1である。また、第2のパスについては図10より明らかな如く、立上り及び立下り共に遅延時間は0である。

【0039】従って、立上り、立下り時には、夫々最大の遅延時間が採用され、最終的に図2の回路モデルの遅延時間は、立上り時に0ns立下り時に1nsとなつて、図3のタイムチャートの波形と一致し正しい遅延検証結果が得られるのである。

【0040】

【発明の効果】本発明によれば、遅延解析用の論理回路モデル情報のうち、信号が無効となる場所（アーク）のみならず立上り（R）または立下り（F）のいずれかが無効であるかを予め指定してモデル情報を修正し、この修正後の情報に基いて遅延検証を行っているので、正しい遅延検証結果が得られるという効果がある。

【図面の簡単な説明】

【図1】本発明による遅延時間検証装置の機能ブロック図である。

【図2】被検証モデルの論理回路図である。

【図3】図2の回路の各部信号波形図である。

【図4】図2の回路をグラフ理論に従って表わした図である。

【図5】図4の回路の遅延検証のため被検証モデル情報を示す図である。

【図6】無効指定部の無効指定例を示す図である。

【図7】無効指定情報に従って修正された被検証モデル情報を示す図である。

【図8】遅延検証部の動作フロー図である。

【図9】遅延検証結果の例を示す図である。

【図10】遅延検証結果の例を示す図である。

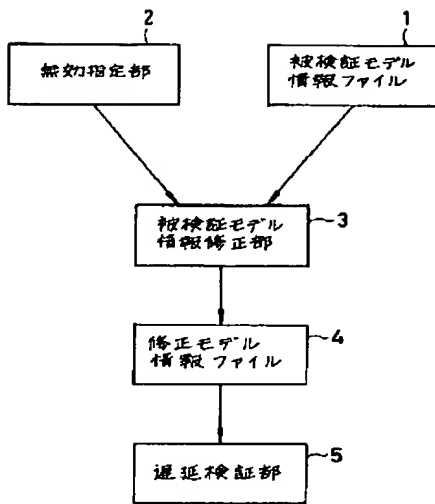
【符号の説明】

- 1 被検証モデル情報ファイル
- 2 無効指定部
- 3 被検証モデル情報修正部
- 4 修正モデル情報ファイル
- 5 遅延検証部
- 21 入力端子
- 22 出力端子
- 23 素子
- 24 OR素子
- 25 信号経路

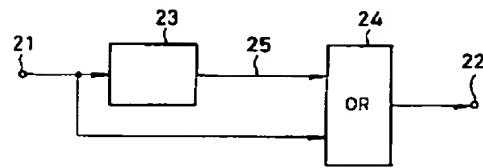
【図6】

アークC	立上り:R
------	-------

【図1】



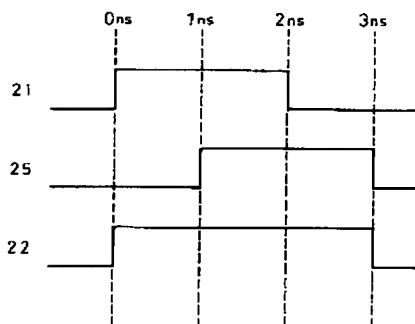
【図2】



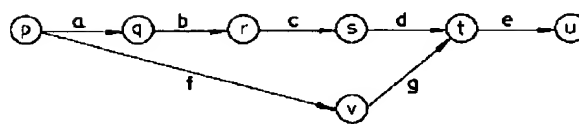
【図10】

R/F 種別				遅延時間T(ns)			
p	v	t	u	f	g	e	計
R	R	R	R	0	0	0	0
F	F	F	F	0	0	0	0

【図3】



【図4】



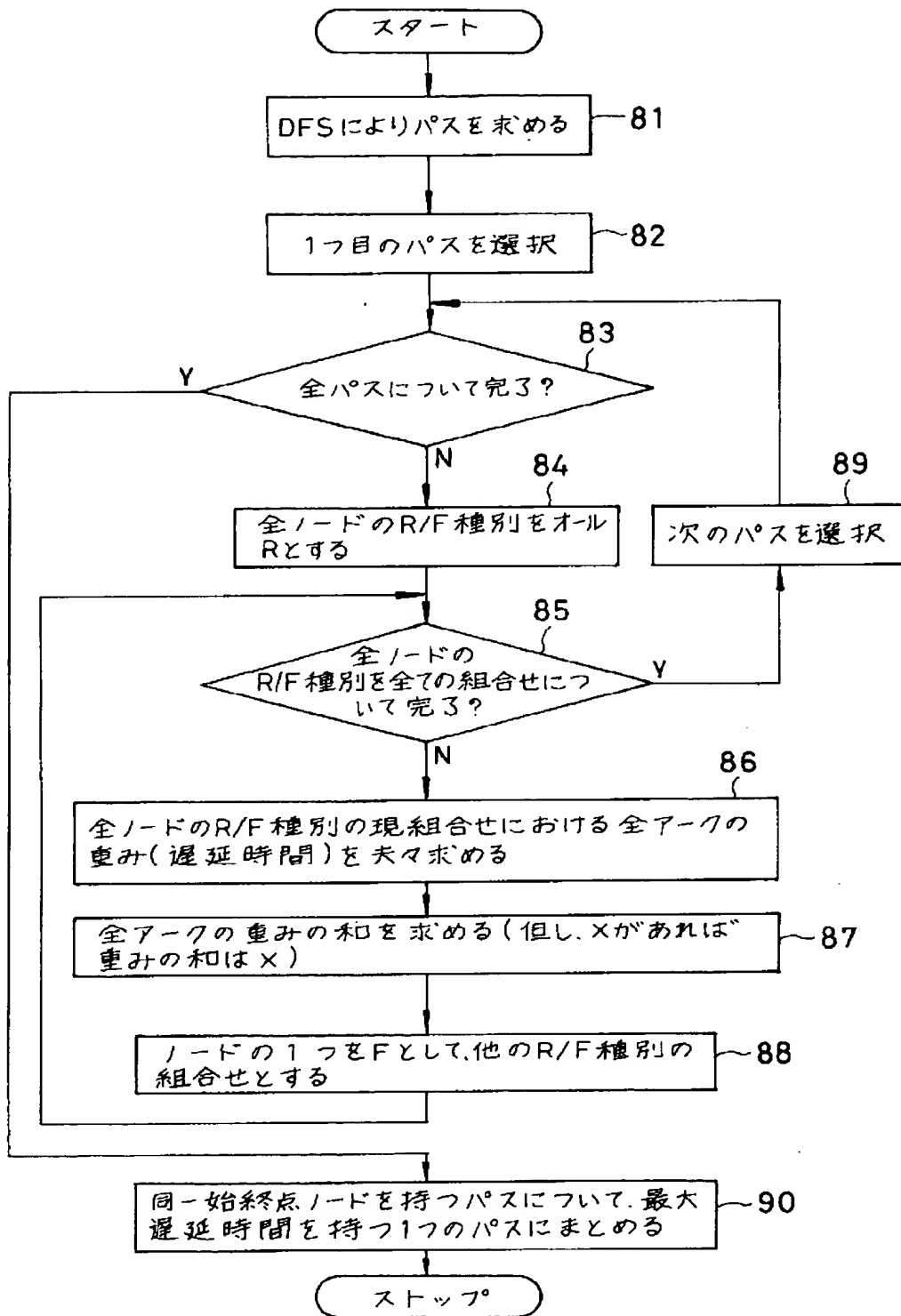
【図7】

アーク	始点	終点	始点 / 終点			
			R/R	R/F	F/R	F/F
a	p	q	0	X	X	0
b	q	r	1	X	X	1
c	r	s	X	X	X	0
d	s	t	0	X	X	0
e	t	u	0	X	X	0
f	p	v	0	X	X	0
g	v	t	0	X	X	0

【図5】

アーク	始点	終点	始点 / 終点			
			R/R	R/F	F/R	F/F
a	p	q	0	X	X	0
b	q	r	1	X	X	1
c	r	s	0	X	X	0
d	s	t	0	X	X	0
e	t	u	0	X	X	0
f	p	v	0	X	X	0
g	v	t	0	X	X	0

【図8】



【図9】

R/F 種別						遅延時間 T(ns)					
p	q	r	s	t	u	a	b	c	d	e	計
R	R	R	R	R	R	0	1	X	0	0	X
F	R	R	R	R	R	X	1	X	0	0	X
R	F	R	R	R	R	X	X	0	0	0	X
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
R	F	F	F	F	F	X	1	0	0	0	X
F	F	F	F	F	F	0	1	0	0	0	1

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.